

Korean patent publication No. 1999-015599

Title: Fabricating method of dual damascene metal line layer for semiconductor device using electroless plating.

Abstract

The present invention discloses a fabricating method of a dual damascene metal line layer using electroless plating. In the present invention, a first inter-insulating layer is formed on a semiconductor substrate. The first inter-insulating layer is patterned to form a contact hole. An active seed is formed selectively on the inner surface of the contact hole with an activator. The product is plated with electroless plating, and thus a metal plug is formed selectively inside the contact hole. In the step of forming the contact hole, a photoresist pattern to expose the first inter-insulating layer partially is formed on the first inter-insulating layer. The first inter-insulating layer is etched with the photoresist pattern as an etching mask, and thus a trench region is formed therein. The first inter-insulating layer having the trench region is etched, and thus a cavity, which is extended from the trench region to the semiconductor substrate, is formed.

공개특허특 1999-015599

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 21/768(11) 공개번호 특1999-015599
(43) 공개일자 1999년03월05일(21) 출원번호 특1997-037795
(22) 출원일자 1997년08월07일(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 탁수영
경기도 수원시 권선구 서둔동 17-483호
(74) 대리인 권석흠
이영필
정상빈

심사청구 : 없음

(54) 무전해 도금을 이용한 반도체장치의 듀얼 다마스금속 배선층 형성방법

요약

무전해 도금을 이용한 듀얼 다마스(dual damascene) 금속 배선층 형성 방법에 관하여 개시한다. 본 발명에서는 반도체 기판상에 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막을 패터닝하여 콘택홀을 형성한다. 활성화제를 사용하여 상기 콘택홀 내측 표면에 선택적으로 활성화 시드(seed)를 형성한다. 상기 결과물을 무전해 도금에 의하여 도금하여 상기 콘택홀 내부에 선택적으로 금속 플러그를 형성한다. 상기 콘택홀을 형성하는 단계에서는 상기 제1 층간 절연막 위에 상기 제1 층간 절연막을 일부 노출시키는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 제1 층간 절연막을 식각하여 그 내부에 트렌치 영역을 형성한다. 상기 트렌치 영역이 형성된 제1 층간 절연막을 식각하여 상기 트렌치 영역으로부터 상기 반도체 기판까지 연장되는 캐비티(cavity)를 형성한다.

대표도

도5

명세서

도면의 간단한 설명

도 1 내지 도 6은 본 발명에 따른 반도체 장치의 배선층 형성 방법을 설명하기 위한 단면도들이다.

도면의 주요 부분에 대한 부호의 설명

10 : 반도체 기판, 20 : 절연막
30 : 하부 도전층, 40 : 제1 층간 절연막
42 : 트렌치 영역, 44 : 캐비티
50 : 포토레지스트 패턴, 60 : 활성화 시드
70 : 금속 플러그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 무전해 도금을 이용한 듀얼 다마스(dual damascene) 금속 배선층 형성 방법에 관한 것이다.

반도체 장치의 배선 구조가 다층화됨에 따라 콘택홀(contact hole) 또는 비아홀(via hole)의 아스펙트비(aspect ratio)가 증가하고 있다. 이에 따라, 종래 사용되던 금속 배선층 형성 방법을 그대로 사용하게 되면 평탄화 및 단차 도포성이 불량하게 되고, 금속 단락, 낮은 수율 및 신뢰성 저하와 같은 문제점들이 빈번하게 발생하게 된다.

이러한 문제점을 해결하기 위한 새로운 배선 기술로서, 콘택홀의 매몰과 금속 배선층을 동시에 형성하는 소위 듀얼 다마스(dual damascene) 공정이 제안되었다.

즉, 종래의 듀얼 다마스 공정에 의한 금속 배선층 형성 방법에서는 반도체 기판상에서 중간 절연막을 통하여 형성된 콘택홀 또는 비아홀 내에 금속 배선층을 형성하기 위하여 상기 콘택홀 또는 비아홀이 형성된 결과물상에 금속 물질, 예를 들면 텅스텐을 CVD(Chemical Vapor Deposition) 방법에 의하여 증착하여 금속층을 형성하고, 상기 중간 절연막 상부의 금속층을 CMP(Chemical Mechanical Polishing) 또는 에치백 공정에 의하여 연마 또는 식각하여 상기 콘택홀 또는 비아홀 내에 평탄화된 금속 플러그를 형성함으로써 금속 배선층을 형성한다.

그러나, 상기한 바와 같은 종래의 방법에서 사용되는 CMP 공정 또는 에치백 공정은 신뢰성이 떨어지고 코스트가 증가하는 문제가 있다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 상기한 종래의 문제점을 해결하기 위한 것으로서, 최적 조건하에서 안정된 콘택 플러그를 형성할 수 있는 반도체 장치의 금속 배선층 형성 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 금속 배선 형성 방법에서는 반도체 기판상에 제1 중간 절연막을 형성한다. 상기 제1 중간 절연막을 패터닝하여 콘택홀을 형성한다. 활성화제를 사용하여 상기 콘택홀 내측 표면에 선택적으로 활성화 시드(seed)를 형성한다. 상기 결과물을 무전해 도금에 의하여 도금하여 상기 콘택홀 내부에 선택적으로 금속 플러그를 형성한다.

상기 금속 플러그는 코발트 및 백금으로 이루어지는 군에서 선택되는 어느 하나의 금속 물질로 이루어진다.

상기 콘택홀을 형성하는 단계에서는 상기 제1 중간 절연막 위에 상기 제1 중간 절연막을 일부 노출시키는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 제1 중간 절연막을 식각하여 그 내부에 트렌치 영역을 형성한다. 상기 트렌치 영역이 형성된 제1 중간 절연막을 식각하여 상기 트렌치 영역으로부터 상기 반도체 기판까지 연장되는 캐비티(cavity)를 형성한다. 여기서, 상기 활성화 시드를 형성하는 단계는 상기 포토레지스트 패턴을 마스크로 하여 상기 활성화 시드를 상기 트렌치 영역 및 캐비티의 내측벽에 선택적으로 형성한다.

본 발명에 의하면, 금속 플러그 형성 공정의 후속 공정수가 줄어들게 되고, 각 소자에 필요한 최적 조건 하에서 콘택 형성을 위한 플러그 형성 공정을 안정적으로 행할 수 있다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 1 내지 도 6은 본 발명에 따른 반도체 장치의 배선층 형성 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 하부 구조물(도시 생략)이 형성된 반도체 기판(10)상에 절연막(20), 하부 도전층(30) 및 제1 중간 절연막(40)을 차례로 형성한다. 본 실시예에서는 상기 하부 도전층(30)을 형성하였으나, 필요에 따라서 상기 하부 도전층(30)은 생략할 수 있다.

도 2를 참조하면, 상기 제1 중간 절연막(40)을 패터닝하여 콘택홀을 형성한다. 보다 구체적으로 설명하면, 상기 제1 중간 절연막(40) 위에 상기 제1 중간 절연막(40)을 일부 노출시키는 포토레지스트 패턴(50)을 형성한다. 그

후, 상기 포토레지스트 패턴(50)을 식각 마스크로 하여 상기 제1 층간 절연막(40)을 식각하여 그 내부에 트렌치 영역(42)을 형성한다. 이어서, 상기 트렌치 영역(42)이 형성된 제1 층간 절연막(40)을 식각하여 상기 트렌치 영역(42)으로부터 상기 하부 도전층(30)까지 연장되는 캐비티(cavity)(44)를 형성한다. 이로써, 상기 트렌치 영역(42) 및 캐비티(44)로 구성되는 콘택홀이 형성된다.

도 3을 참조하면, 상기 포토레지스트 패턴(50)이 남아 있는 상태에서 염화팔라듐(IV)(PdCl₄)을 포함하는 활성화제를 사용하여 상기 콘택홀의 내측 표면, 즉 상기 트렌치 영역(42) 및 캐비티(44)의 내측 표면에 선택적으로 활성화 시드(seed)(60)를 형성한다.

도 4를 참조하면, 상기 결과물에 대하여 소정의 도금액이 수용된 도금 탱크를 구비하는 설비를 사용하여 무전해 도금을 행하여 상기 트렌치 영역(42) 및 캐비티(44)의 내부에 상기 하부 도전층(30)과 연결되는 금속 플러그(70)를 선택적으로 형성한다. 이로써, 듀얼 다마스 금속 배선층이 형성된다.

상기 금속 플러그(70)를 무전해 도금에 의하여 형성하기 위하여, 상기 도금액으로서 금속 이온, 예를 들면 코발트 또는 백금 이온이 함유된 것을 사용한다. 예를 들면, 상기 금속 플러그(70)를 코발트로 구성할 때에는 상기 도금액에 0.005 ~ 1몰 농도로 함유된 코발트 이온을 사용하고, 상기 코발트 이온의 소스(source)로서 황산코발트를 사용한다.

상기 도금액은 필요에 따라 착화제(complexing agent), 환원제, 계면활성제 및 안정화제와 같은 첨가제를 함유할 수 있다.

상기 착화제로는 호박산(succinic acid) 또는 구연산(citric acid)을 약 0.005 ~ 2몰의 농도로 사용한다.

상기 환원제로는 DMAB(dimethylamineborane), 수소화붕소 또는 하이포인산염(hypophosphate)을 약 0.001 ~ 2몰의 농도로 사용한다.

또한, 상기 계면활성제로서 황산도데실을 사용하고, 상기 안정화제로서 t-우레아(urea)를 사용할 수 있다.

상기와 같이 금속 플러그(70)를 형성하기 위한 도금 단계는 상기 도금액을 교반하면서 행하는 것이 바람직하며, 이를 위하여 교반기를 구비한 도금 설비를 사용한다. 이 때, 상기 도금액을 pH 4 ~ 11로 유지하는 상태에서 35 ~ 90℃의 온도하에서 상기 도금 단계를 행한다.

도 5를 참조하면, 상기 포토레지스트 패턴(50)을 제거한 후, 결과물을 세정하여 상기 금속 플러그(70)가 형성된 반도체 기판 표면의 오염물을 제거한다.

도 6을 참조하면, 상기 금속 플러그(70)의 상면 및 상기 제1 층간 절연막(40)의 상면에 제2 층간 절연막(80)을 형성한다.

발명의 효과

상기한 바와 같이, 본 발명의 바람직한 실시예에 의하면 반도체 장치의 금속 배선 형성을 위한 금속 플러그를 무전해 도금을 이용하여 형성하므로, 종래의 공정에 비하여 금속 플러그 형성 공정의 후속 공정수가 줄어들게 되고, 각 소자에 필요한 최적 조건 하에서 콘택 형성을 위한 플러그 형성 공정을 안정적으로 행할 수 있다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

(57)청구의 범위

청구항1

반도체 기판상에 제1 층간 절연막을 형성하는 단계와, 상기 제1 층간 절연막을 패터닝하여 콘택홀을 형성하는 단계와, 활성화제를 사용하여 상기 콘택홀 내측 표면에 선택적으로 활성화 시드(seed)를 형성하는 단계와, 상기 결과물을 무전해 도금에 의하여 도금하여 상기 콘택홀 내부에 선택적으로 금속 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항2

제1항에 있어서, 상기 제1 층간 절연막을 형성하는 단계 전에 상기 반도체 기판상에 도전층을 형성하는 단계를 더

포함하고, 상기 콘택홀을 형성하는 단계는 상기 제1 층간 절연막을 패터닝하여 상기 도전층의 상면을 노출시키는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항3

제1항에 있어서, 상기 활성화제는 염화팔라듐(IV)(PdCl_4)을 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항4

제1항에 있어서, 상기 도금 단계는 코발트 또는 백금으로 이루어지는 군에서 선택된 어느 하나의 금속 이온을 함유하는 도금액을 사용하여 행하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항5

제4항에 있어서, 상기 도금액에 함유되는 금속 이온으로서 0.005 ~ 1몰 농도의 코발트 이온을 사용하고, 상기 코발트 이온의 소스(source)로서 황산코발트를 사용하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항6

제4항에 있어서, 상기 도금액은 착화제(complexing agent), 환원제, 계면활성제 및 안정화제로 이루어지는 군에서 선택되는 적어도 하나의 첨가제를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항7

제6항에 있어서, 상기 착화제는 호박산(succinic acid) 및 구연산(citric acid)으로 이루어지는 군에서 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항8

제7항에 있어서, 상기 착화제는 0.005 ~ 2몰의 농도로 사용되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항9

제6항에 있어서, 상기 환원제는 DMAB(dimethylamineborane), 수소화붕소 및 하이포인산염(hypophosphate)으로 이루어지는 군에서 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항10

제9항에 있어서, 상기 환원제는 0.001 ~ 2몰의 농도로 사용되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항11

제6항에 있어서, 상기 계면활성제로서 황산도데실을 사용하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항12

제6항에 있어서, 상기 안정화제로서 L-우레아(urea)를 사용하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항13

제6항에 있어서, 상기 도금 단계는 상기 도금액을 교반하면서 행하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항14

제6항에 있어서, 상기 도금액은 pH 4 ~ 11로 유지되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항15

제6항에 있어서, 상기 도금액의 온도는 35 ~ 90℃로 유지되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항16

제1항에 있어서, 상기 금속 플러그는 코발트 및 백금으로 이루어지는 군에서 선택되는 어느 하나의 금속 물질로 이루어지는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항17

제1항에 있어서, 상기 금속 플러그를 형성하는 단계 후에 상기 금속 플러그의 상면 및 상기 제1 층간 절연막의 상면에 제2 층간 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항18

제1항에 있어서, 상기 콘택홀을 형성하는 단계는 상기 제1 층간 절연막 위에 상기 제1 층간 절연막을 일부 노출시키는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 제1 층간 절연막을 식각하여 그 내부에 트렌치 영역을 형성하는 단계와, 상기 트렌치 영역이 형성된 제1 층간 절연막을 식각하여 상기 트렌치 영역으로부터 상기 반도체 기판까지 연장되는 캐비티(cavity)를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항19

제18항에 있어서, 상기 활성화 시드를 형성하는 단계는 상기 포토레지스트 패턴을 마스크로 하여 상기 활성화 시드를 상기 트렌치 영역 및 캐비티의 내측벽에 선택적으로 형성하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항20

제18항에 있어서, 상기 활성화제는 염화팔라듐(IV)(PdCl₄)을 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항21

제18항에 있어서, 상기 도금 단계는 코발트 또는 백금으로 이루어지는 군에서 선택된 어느 하나의 금속 이온을 함유하는 도금액을 사용하여 행하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항22

제21항에 있어서, 상기 도금액은 착화제(complexing agent), 환원제, 계면활성제 및 안정화제로 이루어지는 군에서 선택되는 적어도 하나의 첨가제를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항23

제22항에 있어서, 상기 착화제는 호박산(succinic acid) 및 구연산(citric acid)으로 이루어지는 군에서 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항24

제23항에 있어서, 상기 착화제는 0.005 ~ 2몰의 농도로 사용되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항25

제22항에 있어서, 상기 환원제는 DMAB(dimethylamineborane), 수소화붕소 및 하이포인산염(hypophosphate)으로 이루어지는 군에서 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항26

제25항에 있어서, 상기 환원제는 0.001 ~ 2몰의 농도로 사용되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항27

제22항에 있어서, 상기 계면활성제로서 황산도데실을 사용하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항28

제22항에 있어서, 상기 안정화제로서 t-우레아(urea)를 사용하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항29

제22항에 있어서, 상기 도금 단계는 상기 도금액을 교반하면서 행하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항30

제22항에 있어서, 상기 도금액은 pH 4 ~ 11로 유지되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항31

제22항에 있어서, 상기 도금액의 온도는 35 ~ 90℃로 유지되는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항32

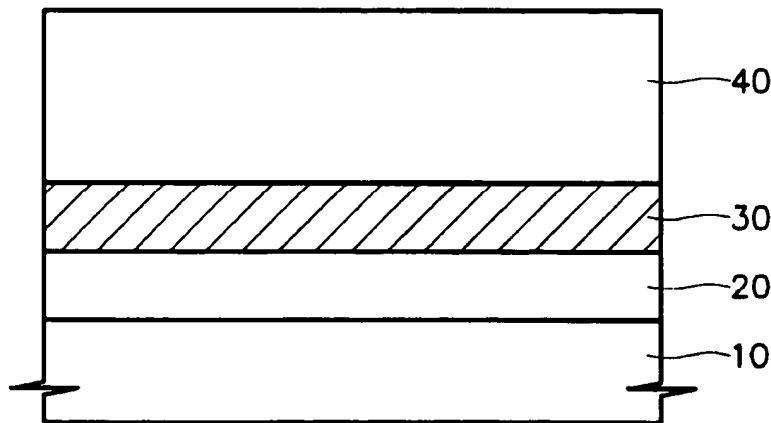
제18항에 있어서, 상기 금속 플러그를 형성하는 단계 후에 상기 포토레지스트 패턴을 제거하는 단계와, 상기 금속 플러그의 상면 및 상기 제1 층간 절연막의 상면에 제2 층간 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

청구항33

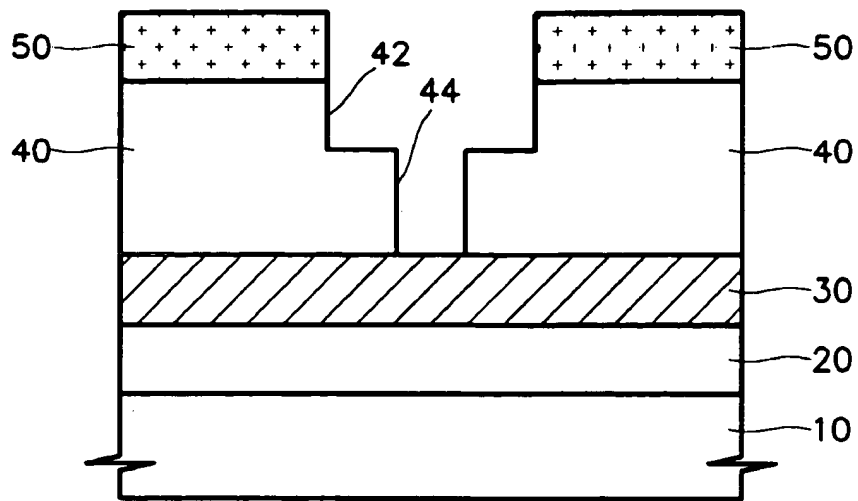
제32항에 있어서, 상기 포토레지스트 패턴을 제거한 후 상기 제2 층간 절연막을 형성하기 전에 상기 금속 플러그가 형성된 결과물을 세정하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 금속 배선 형성 방법.

도면

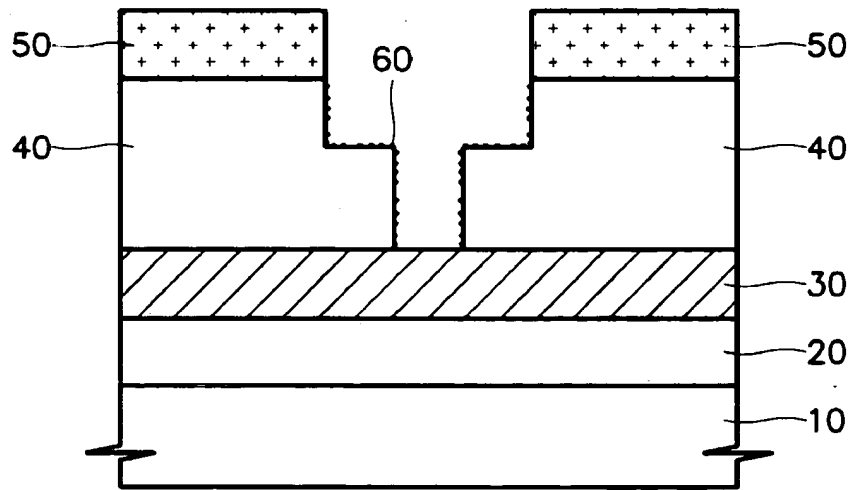
도면1



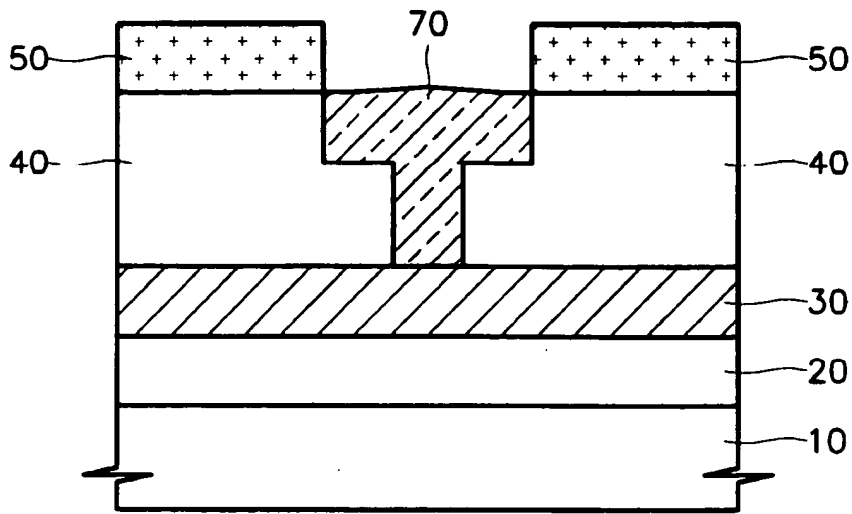
도면2



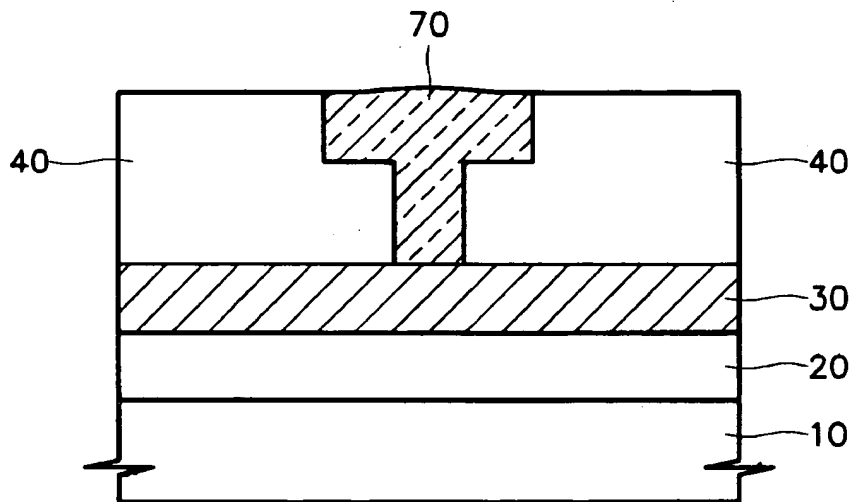
도면3



도면4



도면5



도면6

